

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 01084297
PUBLICATION DATE : 29-03-89

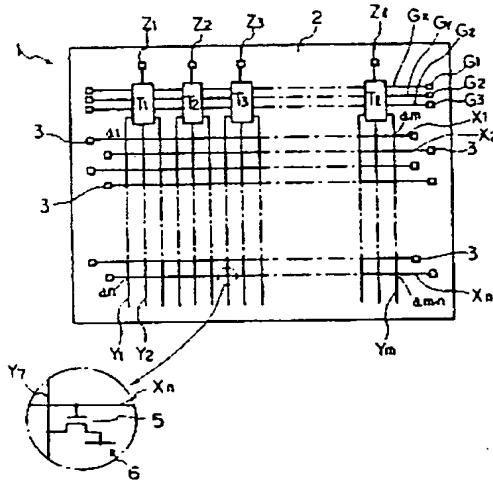
APPLICATION DATE : 28-09-87
APPLICATION NUMBER : 62243197

APPLICANT : TOSHIBA CORP;

INVENTOR : KASAHARA KOICHI;

INT.CL. : G09G 3/20 G09F 9/30

TITLE : DISPLAY DEVICE



ABSTRACT : PURPOSE: To reduce the number of external connection terminals of signal electrode lines by dividing a plurality of signal electrode lines into a plurality of sets and supplying signals corresponding to respective signal electrode lines to each set in time division.

CONSTITUTION: Signal electrode lines Y₁, Y₂...Y_m to which display signals are inputted are provided in the longitudinal direction on a substrate 2 of a liquid crystal display device 1 and divided into a plurality of sets by three through demultiplexers T₁ to T₃ consisting of thin film transistors(TFT). At least a signal transmission means is provided which supplies signals corresponding to signal electrode lines Y₁ to Y_m to each set in time division. Thus, the number of external connection terminals Z₁ to Z₁ of a plurality of signal electrode lines Y₁ to Y_m is reduced, and driving operations of prescribed display electrodes in parts where a plurality of signal electrode lines Y₁ to Y_m and a plurality of scanning electrode lines X₁ to X_n cross each other are stabilized.

COPYRIGHT: (C)1989,JPO

⑯ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭64-84297

⑬ Int.Cl.¹

G 09 G 3/20
G 09 F 9/30

識別記号

3 3 8

序内整理番号

7335-5C
7335-5C

⑭ 公開 昭和64年(1989)3月29日

審査請求 未請求 発明の数 1 (全 7 頁)

⑮ 発明の名称 表示装置

⑯ 特願 昭62-243197

⑰ 出願 昭62(1987)9月28日

⑱ 発明者 梶村 元二 神奈川県川崎市幸区堀川町72 株式会社東芝堀川町工場内
⑲ 発明者 笠原 幸一 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜
事業所内

⑳ 出願人 株式会社東芝 神奈川県川崎市幸区堀川町72番地
㉑ 代理人 弁理士 須山 佐一

明細書

1. 発明の名称

表示装置

2. 特許請求の範囲

(1) 複数の走査電極線と複数の信号電極線とが交差するように配設された表示装置において、前記複数の信号電極線が複数組に組分けされ、各組に、前記各信号電極線に対応する信号を時分割的に供給する信号伝達手段が少なくとも設けられていることを特徴とする表示装置。

(2) 前記信号伝達手段は、薄膜トランジスタで構成されたデマルチブレクサであることを特徴とする特許請求の範囲第1項記載の表示装置。

(3) 前記各デマルチブレクサは、1個の外部接続端子に接続された入力部と、前記各組の信号電極線の本数に対応し、それぞれが所定の信号電極線に接続された出力部と、前記各組の信号電極線の本数に対応し、それぞれが所定の制御線に接続された制御部とを有し、前記デマルチブレクサは、前記制御線からの信号により前記入力部に与えら

れる信号を前記所定の信号電極線に出力することを特徴とする特許請求の範囲第2項記載の表示装置。

(4) 前記各デマルチブレクサは、前記信号電極線を1本おきに選択した組とされ、デマルチブレクサが前記信号電極線の両端部に分配して対向配設されていることを特徴とする特許請求の範囲第2項記載の表示装置。

(5) 前記複数の走査電極線と前記複数の信号電極線とが交差する位置に薄膜トランジスタからなるスイッチング素子を介して、表示電極が配置されていることを特徴とする特許請求の範囲第2項記載の表示装置。

(6) 前記各デマルチブレクサは、前記薄膜トランジスタが配置された基板と同一基板に形成されていることを特徴とする特許請求の範囲第5項記載の表示装置。

3. 発明の詳細な説明

[発明の目的]

(産業上の利用分野)

走査電極線は各画素部でTFTのゲート電極に接続されているので、特にノイズにより非選択状態の走査電極線の電位が上昇すると、この走査電極線に結合された画素部のTFTがオンあるいは半導通状態となり、画素部に保持された電荷がリークして他の画素部に流入し、表示状態が劣化するという問題がある。

本発明は、このような問題点を解決しつつ、信号電極線の外部接続端子数を減らすことができ、かつ複数の信号電極線と複数の走査電極線とが互いに交差する部分の所定の表示電極の駆動動作が安定である表示装置を提供することを目的とする。

[発明の構成]

(問題点を解決するための手段)

本発明は、複数の走査電極線と複数の信号電極線とが交差するように配置された表示装置において、前記複数の信号電極線が複数組に組分けされ、各組に、前記各信号電極線に対応する信号を時分割的に供給する信号伝達手段が少なくとも設けられており、各走査電極線 X_1 ~ X_n の両端には、走査電極接続端子 3 、 3 …が千鳥状に設けられている。

サ T_1 ~ T_2 を介して 3 本づつに組分けされて複数の組に構成されている。そして、走査電極線 X_1 ~ X_n と信号電極線 Y_1 ~ Y_n とが互いに交差する部分に $M \times N$ 個の例えれば TFT からなるスイッチング素子 5 を介して表示電極 6 が形成されている。さらに、デマルチブレクサ T_1 ~ T_2 は、信号接続端子 Z_1 ~ Z_2 に接続されており、またこのデマルチブレクサ T_1 ~ T_2 には、制御線 Gx 、 Gy 、 Gz が接続されている。制御線 Gx 、 Gy 、 Gz には制御端子 G_1 、 G_2 、 G_3 よりゲート信号が入力される。なお、デマルチブレクサ T_1 ~ T_2 部を除いた構成は、周知の TFT を用いたアクティブ・マトリクス型の液晶表示装置と同様の構成であり、また図示しないが基板 2 に対向するように非通電極が形成された基板が設けられ、両者の間には液晶が挟持されている。

なお、同図において、走査電極線 X_1 ~ X_n の各走査電極接続端子 3 、 3 …が千鳥状に設けられているが、片側のみに設けてもよく、あるいは両側を一列に並べてもよい。

(作用)

本発明によれば、信号電極線が複数組に組分けされ、各組に、前記各信号電極線に対応する信号を時分割的に供給する信号伝達手段を少なくとも設けたので、信号電極線の外部接続端子数を減らすことができる。

(実施例)

以下、本発明に係る表示装置の実施例を図面を参照しながら詳細に説明する。

第1図は、アクティブ・マトリクス型の液晶表示装置に適用した例を示す図で、同図に示すように液晶表示装置 1 の基板 2 上の横方向には、走査信号が入力される走査電極線 X_1 、 X_2 … X_n が設けられており、各走査電極線 X_1 ~ X_n の両端には、走査電極接続端子 3 、 3 …が千鳥状に設けられている。

また、液晶表示装置 1 の基板 2 上の縦方向には、表示信号が入力される信号電極線 Y_1 、 Y_2 … Y_n が設けられており、この信号電極線 Y_1 ~ Y_n は、薄膜トランジスタ (TFT) からなるデマルチブレク

また、信号電極線 Y_1 、 Y_2 … Y_n の各組は、3 本づつとされているが、これに限らず 2 本以上であればよく、表示装置の構成上好ましくは、各組の信号電極線本数の整数倍が信号電極線本数となるように、各組の信号電極線の本数を決める。

第2図 (a) は第1図のデマルチブレクサ T_1 、 T_2 を拡大して示す図で、また第2図 (b) はデマルチブレクサ T_1 、 T_2 の等価回路図である。

まず、第2図 (b) を参照すれば、このデマルチブレクサ T_1 、 T_2 は、それぞれ 3 つの TFT からなるスイッチング素子 M_1 、 M_2 、 M_3 を有し、各ドレイン電極が共通接続されて外部接続端子 Z_1 、 Z_2 に接続されている。各ソース電極はそれぞれ所定の信号電極線 Y_1 、 Y_2 、 Y_3 、 Y_4 、 Y_5 、 Y_6 に接続されている。一方、それぞれのスイッチング素子 M_1 、 M_2 、 M_3 のゲート電極は各デマルチブレクサ T_1 ~ T_2 間で共通の制御線 Gx 、 Gy 、 Gz に接続されている。このような各デマルチブレクサは第2図 (a) に示すように構成され、制御線 Gx 、 Gy 、 Gz に接続されたゲート電極

本づつの組とされた複数組が構成され、隣り合う組の端部には、対向されてデマルチブレクサ T_1 ~ T_4 が設けられている。

このように構成された液晶表示装置 1 では、デマルチブレクサ T_1 ~ T_4 に接続される各隣り合う信号接続端子 Z_1 ~ Z_4 のスペースが広くできるとともに、デマルチブレクサ T_1 ~ T_4 を構成する TFT の設計自由度を増すことができる。

第 5 図は、第 1 図に示した液晶表示装置 1 の構成を変えた本発明のさらに他の実施例を示す図で、走査電極線 X_1 ~ X_n に 2 本同時に走査信号が入力されるように、信号電極線 Y_1 ~ Y_m を中央付近で分割して信号電極線 Y_1 ~ Y_n と Y_1' ~ Y_m' とに分け、走査電極線 X_1 ~ X_n を中央付近を介して短絡させた構成としている。

このような構成の液晶表示装置 1 では、各信号電極線 Y_1 ~ Y_n 、 Y_1' ~ Y_m' に対して上下に設けられたデマルチブレクサ T_1 ~ T_4 、 T_1' ~ T_4' を介して各画素が時分割的に駆動される。

なお、以上の各実施例において、各画素への信

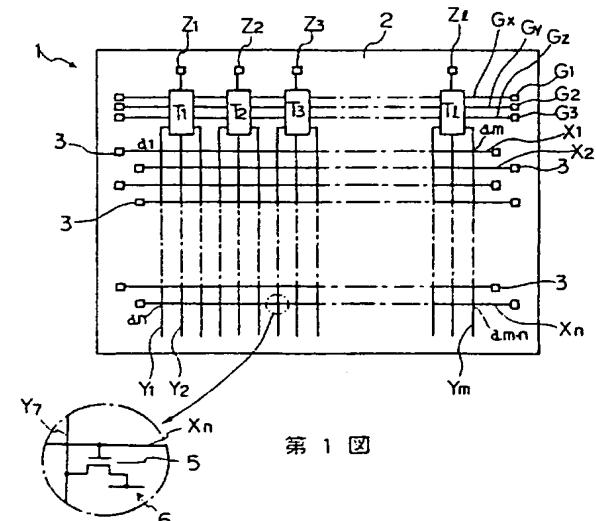
号電極線の外部接続端子の数を減すことができる。

4. 図面の簡単な説明

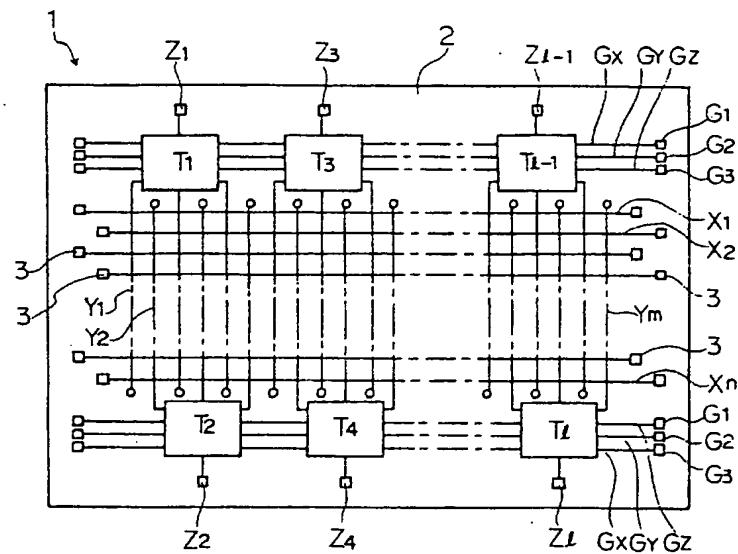
第 1 図は本発明に係る液晶表示装置を示す平面図、第 2 図 (a) (b) は第 1 図のデマルチブレクサの拡大図及び等価回路図、第 3 図は第 1 図のデマルチブレクサの構成を変えたデマルチブレクサを示す拡大図、第 4 図は第 1 図の液晶表示装置の構成を変えた本発明の他の実施例を示す液晶表示装置の平面図、第 5 図は第 1 図の液晶表示装置の構成を変えた本発明のさらに他の実施例を示す液晶表示装置の平面図である。

1 … 液晶表示装置、2 … 基板、3 … 走査接続端子、 G_1 ~ G_4 … 制御端子、 G_x ~ G_2 … 制御線、 T_1 ~ T_4 、 T_1' ~ T_4' … デマルチブレクサ、 X_1 ~ X_n … 走査電極線、 Y_1 ~ Y_n 、 Y_1' ~ Y_m' … 信号電極線、 Z_1 ~ Z_4 … 信号接続端子。

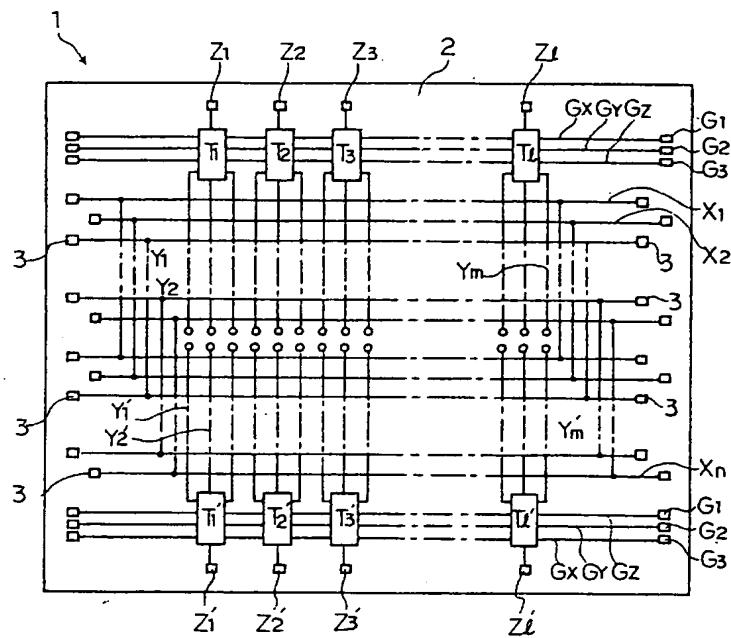
出願人 株式会社 東芝
代理人 弁理士 須山 佐一



第 1 図



第4図



第5図